

Docket No. NEC03P248-HSe  
WAK.123



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re patent application of

Takeo Tsukamoto

Serial No.: 10/763,337

Group Art Unit: Not Yet Assigned

Filing Date: January 26, 2004

Examiner: Unknown

For: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Honorable Commissioner of Patents  
Alexandria, VA 22313-1450

**SUBMISSION OF PRIORITY DOCUMENT**

Sir:

Submitted herewith is a certified copy of Japanese Application Number 2003-017833  
filed on January 27, 2003, upon which application the claim for priority is based.

Respectfully submitted,

Sean M. McGinn, Esq.  
Registration No. 34,386

Date: 3/25/04  
McGinn & Gibb, PLLC  
Intellectual Property Law  
8321 Courthouse Road, Suite 200  
Vienna, VA 22182-3817  
(703) 761-4100  
Customer No. 21254

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 2 7 日  
Date of Application:

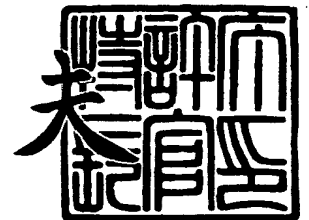
出 願 番 号            特 願 2 0 0 3 - 0 1 7 8 3 3  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 0 1 7 8 3 3 ]

出      願      人            エルピーダメモリ株式会社  
Applicant(s):

2 0 0 4 年   1 月   5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号   出証特 2 0 0 3 - 3 1 0 8 1 7 6

【書類名】 特許願

【整理番号】 22310212

【提出日】 平成15年 1月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/304

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社  
会社内

【氏名】 塚本 丈夫

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0111098

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、及びその製造方法

【特許請求の範囲】

【請求項 1】 凹凸のある基体表面に異方性成長で第 1 の膜を堆積する工程と、

前記第 1 の膜に形成された突起を補強する、前記第 1 の膜と研磨速度が同等又は、遅い第 2 の膜を等方性の成長で形成する工程と、

セリアスラリを用いて前記第 1 の膜と前記第 2 の膜と研磨する工程とを有する半導体装置の製造方法。

【請求項 2】 凹凸のある基体表面に異方性成長で第 1 の膜を堆積する工程と、

砥粒の凝集が生じないスラリを用いて前記第 1 の膜に形成された突起の角を研磨する工程と、

その後、セリアスラリを用いて前記第 1 の膜を研磨する工程を有する半導体装置の製造方法。

【請求項 3】 凹凸のある基体表面に異方性成長で第 1 の膜を堆積する工程と、

前記第 1 の膜に形成された突起を補強する、前記第 1 の膜と研磨速度が同等又は、遅い第 2 の膜を等方性の成長で形成する工程と、

砥粒の凝集が生じないスラリを用いて前記第 1 の膜の一部を研磨する工程と、

その後、セリアスラリを用いて前記第 1 の膜を研磨する工程を有する半導体装置の製造方法。

【請求項 4】 前記凹凸が溝であることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 前記凹凸が配線であることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記凹凸の凸部に研磨のストッパとなる前記第 1 の膜よりも研磨速度が遅いストッパ膜が形成されていることを特徴とする請求項 1 から 3 の

いずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】 前記第 1 の膜が高密度プラズマ C V D 法で形成された膜であることを特徴とする請求項 1 又は 3 に記載の半導体装置の製造方法。

【請求項 8】 前記第 2 の膜が、常圧 C V D 法、減圧 C V D 法または、プラズマ C V D 法により形成された膜であることを特徴とする請求項 1 又は 3 に記載の半導体装置の製造方法。

【請求項 9】 前記第 1 の膜及び、前記第 2 の膜が酸化膜であり、ストッパ膜が窒化膜であることを特徴とする 1、3、4、5、6、7 又は 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 0】 前記第 1 の膜が酸化膜であり、前記ストッパ膜が窒化膜であることを特徴とする請求項 2、4、5、6 又は、7 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関する。

【0 0 0 2】

【従来の技術】

シリコン酸化膜は、半導体装置の絶縁膜として、トレンチ素子分離 (Trench Isolation)、配線層間膜等、さまざまな場所で使用されている。しかし半導体装置の微細化とともにその成膜もますます高いパターン埋め込み性を求められ、また、その加工技術である化学機械研磨 (Chemical Mechanical Polishing、以下、CMP 研磨と略す) も高い制御性、均一性を求められるようになっている。

【0 0 0 3】

埋め込み性に優れたシリコン酸化膜として、特開平 1 0 - 0 7 9 4 2 3 号公報等 に示される高密度プラズマ C V D (High Density Plasma Chemical Vapor Deposition) 酸化膜 (以下、H D P 酸化膜と略す) が、使用されてきている。

【0 0 0 4】

高密度プラズマ C V D 法による成膜は、膜の成膜とスパッタを同時に行いなが

ら凹凸部の段差を埋め込む技術で、埋め込み性は優れるが、凸部の上面に台形、三角屋根状あるいは、錐状等の突起（以下、突起と略す。）を持つ特徴的な形状に成膜される。

#### 【0005】

酸化膜のCMP研磨には、アルミナ、ジルコニア、シリカスラリが検討されてきたが、研磨レート選択比（シリコン酸化膜／シリコン窒化膜）が4程度あるシリカスラリが用いられているが、研磨時にストッパ膜としている窒化膜が研磨され、より制御性の高い、研磨レート選択比が高いスラリが必要とされている。アルミナ、ジルコニア、シリカスラリは研磨レート選択比が低いという問題はあるが、砥粒径が $0.2\mu\text{m}$ と小さく、砥粒の凝集がないために、HDP酸化膜のように突起がある場合でも研磨傷は発生しない。

#### 【0006】

制御性に優れたCMP研磨としては、特開2001-085373号公報に示される酸化セリウム（セリア）を砥粒として含む研磨剤（以下セリアスラリと記す）を使用したCMPが注目されている。

#### 【0007】

セリアスラリによるCMP研磨は、研磨レート選択比（シリコン酸化膜／シリコン窒化膜）が、従来のシリカスラリの4程度に対して、20～60程度と高く、平坦化性能も優れているという特長がある。一方、セリアスラリは、シリカスラリと比較し砥粒径が大きく（シリカスラリ：平均 $0.1\mu\text{m}$  セリアスラリ： $0.2\mu\text{m}$  最大 $1.1\mu\text{m}$ ）、更にセリア砥粒液と添加剤とを混合すると、凝集により大粒子（2～数 $10\mu\text{m}$ ）が発生し易い。突起がある場合、セリアスラリのように砥粒中に粒径が $1\mu\text{m}$ を越える粒子があると混合直後にCMP研磨を行った場合でも研磨傷が発生する。更に、砥粒が凝集し、大粒子が発生すると研磨傷の大きさが大きくなるという欠点がある。

#### 【0008】

図7は、HDP酸化膜で埋め込んだ半導体基板を、セリアスラリを使用してCMP研磨処理する際の、従来の一例を示す図であり、トレンチ素子分離形成工程を例にとって、半導体基板の断面を製造工程順に模式的に示した工程断面図であ

る。

#### 【0009】

まず、図7(a)に示すように半導体基板25に熱酸化膜26を10nm成長させ、その上に窒化膜27を減圧CVD法により140nm程度成長させ、KrFエキシマリソグラフィにより、素子形成領域上にKrFレジスト28を形成する。

#### 【0010】

次に図7(b)のように、KrFレジストをマスクにプラズマエッチングにより素子分離領域上の窒化膜27及び、熱酸化膜26を除去し、素子形成領域上に選択的に熱酸化膜26及び、窒化膜27aを残した。その後、KrFレジスト28を除去する。

#### 【0011】

次に図7(c)に示すように、窒化膜27aをマスクとしてプラズマエッチングにより半導体基板25の素子分離領域に深さ250nmのトレンチを形成した。この時窒化膜27aは40nmエッチングされ100nmとなる。

#### 【0012】

次に図7(d)に示すように、酸洗浄などの洗浄処理を行った後、高密度プラズマCVDにより、HDP酸化膜29を400nm成膜し、トレンチ部を埋め込んだ。この時、HDP酸化膜29は素子形成領域端で裾を引く形状になる。

#### 【0013】

HDP酸化膜29の裾が半導体基板面と為す角度は $56^\circ$ であった。また素子形成領域上のHDP酸化膜29は、素子形成領域幅が広いと台形になるが、 $540\text{nm}(=2 \times 400 / \tan 56^\circ)$ より狭いと台形の上辺が無くなり、二等辺三角形の頂点の角度が $68^\circ$ の三角屋根状あるいは錐状の突起となる。

#### 【0014】

その後、図7(e)に示すように、セリアスラリを用いたCMP研磨により、窒化膜27aを研磨ストッパとして素子形成領域上のHDP酸化膜29を除去し、窒化膜27aを露出させる。

#### 【0015】



セリアスラリは、日立化成工業社製のセリア砥粒液HS-8005と添加剤HS-8102GPを1:2で混合したもの、CMP装置はアプライドマテリアル社製MIRRA3400、研磨パッドとしてロデール社製研磨パッドIC1000を使用した。もちろん他の物でも構わない。またCMPの終点検出には、光学式のものを使用した。

#### 【0016】

セリアスラリは、上述したように研磨傷を生じやすいという欠点があるが、窒化膜の研磨レートが酸化膜の研磨レートの20～60分の1程度であり、窒化膜の研磨量は5nm以下に収まり、確実に窒化膜で研磨を停止することができるため、制御性が高い。

#### 【0017】

しかし、540nm以下の微細な素子形成領域上では抉れたような研磨傷が多数観察された。これは、セリアスラリ中の大粒子化した砥粒が、微細な素子形成領域上の突起にぶつかり、突起先端あるいは、突起が折れたためと考えられる。しかもこの傷は素子形成領域に生じるため、素子の動作に与える悪影響が大きく、歩留まり低下の直接の原因となる。

#### 【0018】

次に、図7(f)に示すように、窒化膜27aをリン酸によるウェットエッチングで除去することによりトレンチ素子分離を形成したが、微細な素子形成領域上には、抉れたような研磨傷が400個以上観察された。

#### 【0019】

##### 【特許文献1】

特開平10-079423号公報

##### 【特許文献2】

特開2001-085373号公報

#### 【0020】

##### 【発明が解決しようとする課題】

表面に凹凸がある基体上に、高密度プラズマCVDのように、埋め込み性が高い異方性成長の膜を成膜すると、凸部に突起が発生する。

**【0021】**

突起が形成された状態でCMP研磨を行うと、スラリの砥粒が小さい場合は問題ないが、砥粒が大粒子になると突起が折れ、研磨傷が発生するという問題が発生する。

**【0022】**

近年の半導体装置の微細化に伴う、埋め込み性の向上と研磨精度の向上とが同時に要求され、埋め込み性が良い高密度プラズマCVDによる成膜と、砥粒が大粒子し研磨傷は生じやすいが、酸化膜と窒化膜との研磨レート選択比の高いセリアスラリを用いたCMP研磨とを組み合わせても研磨傷が発生しない技術を開発することが必須である。

**【0023】****【課題を解決するための手段】**

本発明は、凹凸のある基体表面に異方性成長で第1の膜を堆積する工程と、第1の膜に形成された突起を補強する、第1の膜と研磨速度が同等又は、遅い第2の膜を等方性の成長で形成する工程と、セリアスラリを用いて第1の膜と第2の膜と研磨する工程とを有する半導体装置の製造方法である。

**【0024】**

また、凹凸のある基体表面に異方性成長で第1の膜を堆積する工程と、砥粒径の小さいスラリを用いて第1の膜に形成された突起の角を研磨する工程と、その後、セリアスラリを用いて第1の膜を研磨する工程を有する半導体装置の製造方法である。

**【0025】**

更に本発明は、凹凸のある基体表面に異方性成長で第1の膜を堆積する工程と、第1の膜に形成された突起を補強する、第1の膜と研磨速度が同等又は、遅い第2の膜を等方性の成長で形成する工程と、砥粒径の小さいスラリを用いて前記第1の膜の一部を研磨する工程と、その後、セリアスラリを用いて前記第1の膜を研磨する工程を有する半導体装置の製造方法である。

**【0026】****【発明の実施の形態】**

本発明の第1の実施形態は、トレンチ分離の溝や配線等の凹凸が形成された基体上に、異方性の強い高密度プラズマCVD法で形成された酸化膜、窒化膜又は、酸窒化膜を形成すると膜の表面に突起が形成される。この膜をセリアスラリで研磨する前に、突起部分を、等方的な成長で形成された研磨レートが同等、あるいは遅い膜で補強後、セリアスラリを用いて研磨するものである。

#### 【0027】

HDP膜の突起部分を補強する膜(以下、補強膜と略す)は、HDP膜と密着性の良い膜で、HDP膜と研磨レートが同等、あるいは遅い膜であれば良く、常圧CVD法、減圧CVD法、プラズマCVD法等で成膜された酸化膜、窒化膜又は、酸窒化膜でかまわない。

#### 【0028】

補強膜の研磨速度がHDP膜の研磨速度の2倍以上速いと、補強膜が先に研磨され、突起部分が露出してしまい、研磨中に露出した突起部分が折れ研磨傷が生じてしまうが1.5倍程度であれば特に問題はなく、より好ましくは1.2倍以下である方が好ましい。一方、補強膜の研磨速度が遅い場合、研磨工程の処理時間が長くなり、スループットは劣化するが、研磨傷は発生しない。この場合、HDP膜の中央部に凹部が形成されるが、特に問題は発生しなかった。

#### 【0029】

HDP膜と補強膜とを各々、同じ酸化膜、窒化膜又は、酸窒化膜とした場合、膜の物理的性質はほぼ同一であり成膜方法が異なっても、CMP研磨の研磨速度は±50%におさまリ、ほぼ同一であるといえるが、±20%におさまるほうがより好ましい。補強膜の研磨速度が倍以上であると補強膜が先に削られて錐の先端が露出してしまい研磨傷の発生が生じる。

#### 【0030】

補強膜の厚さは、100nm以上であれば研磨傷の発生を抑制できる。一方、上限は特になく、補強膜の成膜時間と研磨時間とに律則されるが、400nm以下であれば特に問題はない。

#### 【0031】

等方的な成長で成膜した補強膜は、異方性の強い膜上に形成された突起先端の

鋭角部分を滑らか、且つ、太くなるように補強する。更に、HDP膜の突起の底部の窒化膜3のエッジ部ではHDP膜の膜厚が薄くなっている。補強膜を形成することで該エッジ部の膜厚が厚くなり補強される。この結果、セリアスラリを用いてCMPを用いて研磨する際に、研磨砥粒が凝集し大粒子化しても、研磨時に錐が折れることがないので研磨傷の発生を抑制できる。

#### 【0032】

本発明の第2の実施の形態は、第1の研磨を砥粒の粒子径が小さく砥粒の凝集がないスラリを用いて突起の先端部がなくなるまでCMP研磨した後、セリアスラリを用いてCMP研磨するものである。

#### 【0033】

第1の研磨に使用するスラリは砥粒の粒子径が小さく砥粒の凝集がないので、錐が研磨時に折れにくくなり、錐の先端が研磨された後、窒化膜と研磨レート選択比が高いセリアスラリを用いて研磨するので、研磨の精度は向上し且つ、研磨傷の発生を抑制できる。

#### 【0034】

第3の実施形態は、第1の実施の形態で示した突起を補強する膜を形成後、第2の実施の形態と同様、第1の研磨を砥粒の粒子径が小さく砥粒の凝集がないスラリを用いてCMPで研磨しその後、セリアスラリを用いてCMPにより研磨するものである。

#### 【0035】

この場合、研磨による傷はまったく発生していない。

#### 【0036】

第1から第3の実施の形態において、CMP研磨の制御性を高める為に研磨ストップパ膜を凸部に設けることが望ましい。研磨ストップパ膜は少なくともHDP膜よりも研磨速度が遅くなければならない。

#### 【0037】

セリアスラリを用いたCMP研磨の場合、HDP膜を酸化膜とし、研磨ストップパ膜を窒化膜とすると20～60の研磨レート選択比が得られる。

#### 【0038】

## (実施例 1)

本発明の第 1 の実施例を、半導体基板の工程断面図である図 1 (a)～(g)を用いて説明する。

## 【0039】

図 1 (a) のように半導体基板 1 に熱酸化膜 2 を 10 nm 成長させ、その上に窒化膜 3 を減圧 CVD 成長により 140 nm 成長させ、KrF エキシマリソグラフィにより、素子形成領域に KrF レジスト 4 を形成する。次に図 1 (b) のように、KrF レジストをマスクにまず窒化膜 3 をプラズマエッチングし、素子形成領域に窒化膜 3 a を選択的に残した。

## 【0040】

この際に、熱酸化膜 2 もエッチング除去しても良いし、以下に述べる半導体基板 1 をエッチング除去する際にエッチング除去しても良い。

## 【0041】

KrF レジスト 4 を除去した後、図 1 (c) に示すように、窒化膜 3 a をマスクとしてプラズマエッチングにより下地半導体基板 1 の素子分離領域に深さ 250 nm のトレンチを形成した。この時窒化膜 3 a は 40 nm エッチングされ 100 nm となる。次に図 1 (d) に示すように、酸洗浄などの洗浄処理を行った後、HDP 酸化膜 5 を 400 nm 成膜し当該トレンチ部を埋め込んだ。

## 【0042】

この時、HDP 酸化膜 5 は素子形成領域端で裾を引く形状になる。HDP 酸化膜 5 の裾が半導体基板面と為す角度は  $56^\circ$  であった。また素子形成領域上の HDP 膜 5 は、素子形成領域幅が広いと台形になるが、 $540 \text{ nm} (= 2 \times 400 / \tan 56)$  程度より狭いと台形の上辺が無くなり、頂点の角度が  $68^\circ$  の二等辺三角形になる。

## 【0043】

次に図 1 (e) に示すように、HDP 酸化膜の突起を被覆し補強するプラズマ酸化膜 6 を 200 nm 成膜する。この場合、HDP 酸化膜の突起を被覆し補強する膜は、等方的に被覆できるものであることが必要である。常圧 CVD、LP-CVD、プラズマ CVD 等による酸化膜で良い。また完全には等方にはならない

が、HDP酸化膜5の成膜条件をできるだけ等方に近くなるよう変えて、上記トレンチ埋め込み後に連続成膜しても構わない。それ以外の膜でも構わないが、研磨面に段差ができたり、はがれたりしないよう、HDP酸化膜5と研磨レートが同等の膜で、密着性の良い膜であれば酸化膜でなくてもかまわないが、HDP酸化膜と常圧CVD、LP-CVD、プラズマCVD等による酸化膜とは研磨レートが同等で且つ、密着性が良いので最適である。

#### 【0044】

次に図1(f)のように、素子形成領域上のHDP膜5及びプラズマ酸化膜6を、窒化膜3aを研磨ストッパとし、セリアスラリを用いたCMPにより除去し、窒化膜3aを露出させる。

#### 【0045】

セリアスラリは、日立化成工業社製のセリア砥粒液HS-8005と添加剤HS-8102GPを1:2で混合したもの、CMP装置はアプライドマテリアル社製MIRRA3400、研磨パッドとしてロデール社製研磨パッドIC1000を使用した。もちろん他の物でも構わない。またCMPの終点検出には、光学式のものを使用した。窒化膜の研磨量は5nm以下に収まり、制御性は良好であった。

#### 【0046】

次に、図1(g)に示すように、窒化膜3aをリン酸によるウェットエッチングで除去することによりトレンチ素子分離を形成したが、微細なパターンの半導体基板上には、抉れたような研磨傷はほとんど見られなかった。

#### 【0047】

プラズマ酸化膜の膜厚を変えて研磨傷の発生を調べた結果を図2に示す。図2に示されるように、突起を有するHDP膜を被覆し補強するプラズマ酸化膜6の膜厚は、100nm以上であれば研磨傷の発生を抑制できる。一方、上限は特になく、補強膜の成膜時間と研磨時間とに律速されるが、400nm以下であれば問題はない。

#### (実施例2)

本発明の第2の実施例を図3(a)～(d)の半導体基板の工程断面図を用い

て説明する。

#### 【0 0 4 8】

図 3 (a) は図 1 (d) に示す半導体基板等と同様である。これを図 3 (b) に示すように、シリカスラリによる CMP を行い HDP 酸化膜 10 の突起の角を取る。

#### 【0 0 4 9】

シリカスラリとしてはキャボット社製シリカスラリ、CMP 装置はアプライドマテリアル社製 M I R R A 3 4 0 0、研磨パッドとしてロデール社製研磨パッド I C 1 0 0 0 を使用したが、もちろん他の物でも構わない。研磨の時間は長い方が研磨傷の低減効果が期待できるが、制御性の観点から窒化膜 9 まで研磨されないよう注意する必要がある。今回は 1 5 秒とした。

#### 【0 0 5 0】

シリカスラリは砥粒径が小さい為に HDP 酸化膜に錐上の突起があっても、突起を折ることなく研磨可能である。

#### 【0 0 5 1】

次に図 3 (c) のように、セリアスラリを用い、窒化膜 9 を研磨ストッパ膜として窒化膜が露出するまで HDP 酸化膜 10 を CMP により研磨を行う。

#### 【0 0 5 2】

窒化膜の研磨量は 5 n m 以下に収まり、制御性は良好であった。量産性や研磨の安定性を考えると、この 2 回の研磨は同装置の別テーブルで連続して行うことが望ましいが、別々の装置で 2 回に分けて行っても、なんら問題はない。但し、一つの研磨テーブルで行う際には、一つの研磨テーブル上に 2 種類のスラリが混在することになり、経験上安定性が損なわれることが多い。

#### 【0 0 5 3】

次に、図 3 (d) に示すように、窒化膜 9 をリン酸によるウェットエッチングで除去することによりトレンチ素子分離を形成したが、微細な素子領域上の抉れたような研磨傷は、数個しか見られなかった。

#### 【0 0 5 4】

三角形部分の折れは、特にアスペクト比が大きい研磨初期に起こりやすいと推

測される。初期の研磨を砥粒の粒径が小さく、凝集により大粒子化しないスラリ、例えばシリカスラリで行うことで、さらに研磨傷の発生を低減することができた。

(実施例 3)

第 3 の実施例を、図面を用いて説明する。第 3 の実施例は、第 1 の実施例と第 2 の実施例を組み合わせたものである。

【0055】

図 4 (a) ~ (d) は第 3 の実施例の半導体基板の工程断面図である。

【0056】

図 4 (a) は図 1 (e) と同様である。厚さ 200 nm のプラズマ酸化膜 15 を HDP 酸化膜 14 上に形成した。次に、図 4 (b) に示すように、キャボット社製シリカスラリにより 50 秒間 CMP を行い、HDP 酸化膜 9 の突起の角を取り除く。実施例 2 とは異なり、プラズマ酸化膜 15 があるため研磨時間を多少長くしても窒化膜 13 が露出することはない。次に図 4 (c) のように、セリアスラリを用い、窒化膜 13 を研磨ストッパとして HDP 膜 14 を窒化膜 13 が露出するまで CMP により研磨する。窒化膜の研磨量は 5 nm 以下に収まり、制御性は良好であった。次に、図 4 (d) に示すように、窒化膜 13 をリン酸によるウェットエッチングで除去することによりトレンチ素子分離を形成したが、微細な素子領域上の抉れたような研磨傷は、全く見られなかった。図 5 は、抉れたような研磨傷の数を、実施例 2 と実施例 3 で比較した物である。

【0057】

尚、実施例 1 ~ 3 はトレンチ素子分離を例に説明してきたが、本発明はトレンチ素子分離に限らず表面に凹凸がある基体上に HDP 酸化膜を成膜した際に形成される突起を、セリアスラリを用いて CMP を行う場合にも適用できることは言うまでもない。

【0058】

更に、HDP 酸化膜以外であっても凹凸のある表面に異方性のある成膜条件で形成された膜である HDP 窒化膜等に突起が形成された場合にも適用可能である。

。



## (実施例 4)

図 6 は、第 4 の実施例を示す半導体基板の工程断面図である。

## 【0059】

図 6 (a) に示すように、下地層間絶縁膜 16 上に配線として、タングステン 17 を 500 nm 成膜し、さらに窒化膜 18 を 180 nm、酸化膜 19 を 100 nm 成長させる。次に配線領域に KrF レジストパターン 20 を形成する。

## 【0060】

次に、図 6 (b) に示すように KrF レジストパターン 20 をマスクにまず非配線領域の酸化膜と窒化膜を選択的にプラズマエッチングにより除去後、KrF レジストパターンを除去する。次に図 6 (c) に示すように、プラズマ酸化膜 19a をマスクにプラズマエッチングにより非配線領域のタングステンを除去する。次に図 6 (d) に示すように、全面に窒化膜を 45 nm 成長させエッチバックすることにより、配線側面に窒化膜サイドウォール 21 を形成する。窒化膜サイドウォール 21 は、後にコンタクトをセルフアラインで形成するための物で、特に本特許の原理に関係するものではない。

## 【0061】

次に図 6 (e) に示すように、HDP 酸化膜 22 を 700 nm 成膜する。微細な配線領域上には、HDP 酸化膜による突起が形成される。次に図 6 (f) のように、プラズマ酸化膜 23 を 200 nm 成膜する。次に図 6 (g) に示すように、セリアスラリで、窒化膜 18a が露出するまで研磨を行う。これにより、HDP 酸化膜に形成された突起の角折れによる抉れ状の研磨傷を防止しながら、制御性良い CMP を行うことができる。本実施例では、突起を補強するプラズマ酸化膜を成長させる第 1 の実施例の方法を用いているが実施例 2 と同様にシリカスラリによる第 1 の研磨とセリアスラリに第 2 の研磨による平坦化をもちいても良いし、第 3 の実施例と同様に、突起を補強するプラズマ酸化膜を形成後、シリカスラリによる第 1 の研磨とセリアスラリに第 2 の研磨による平坦化を行っても良いことは明白である。

## 【0062】

最後に図 6 (h) のように、絶縁膜としてプラズマ酸化膜 24 を成長させる。

**【 0 0 6 3 】**

尚、実施例の説明ではHDP酸化膜の研磨ストップパとして窒化膜を用いたが、研磨時に発生する研磨傷を防止するだけであれば研磨ストップパ膜が不要であることが自明であることは言うまでもない。

**【 0 0 6 4 】****【発明の効果】**

本発明によれば、埋め込み性の高い高密度プラズマ酸化膜と研磨精度の高いセリアスラリを用いても、高密度プラズマ酸化膜上に形成される台形、三角屋根状あるいは、錐状等の突起による基板表面の抉れ状の傷なしに基板を平坦化することが可能となる。

**【図面の簡単な説明】****【図 1】**

第 1 の実施例を示す半導体基板の工程断面図。

**【図 2】**

第 1 の実施例と従来技術との抉れ状研磨傷の発生状況を示す図。

**【図 3】**

第 2 の実施例を示す半導体基板の工程断面図。

**【図 4】**

第 3 の実施例を示す半導体基板の工程断面図。

**【図 5】**

第 2 の実施例、第 3 の実施例及び、従来技術との抉れ状研磨傷の発生状況を示す図。

**【図 6】**

第 4 の実施例を示す半導体基板の工程断面図。

**【図 7】**

従来技術を示す半導体基板の工程断面図。

**【符号の説明】**

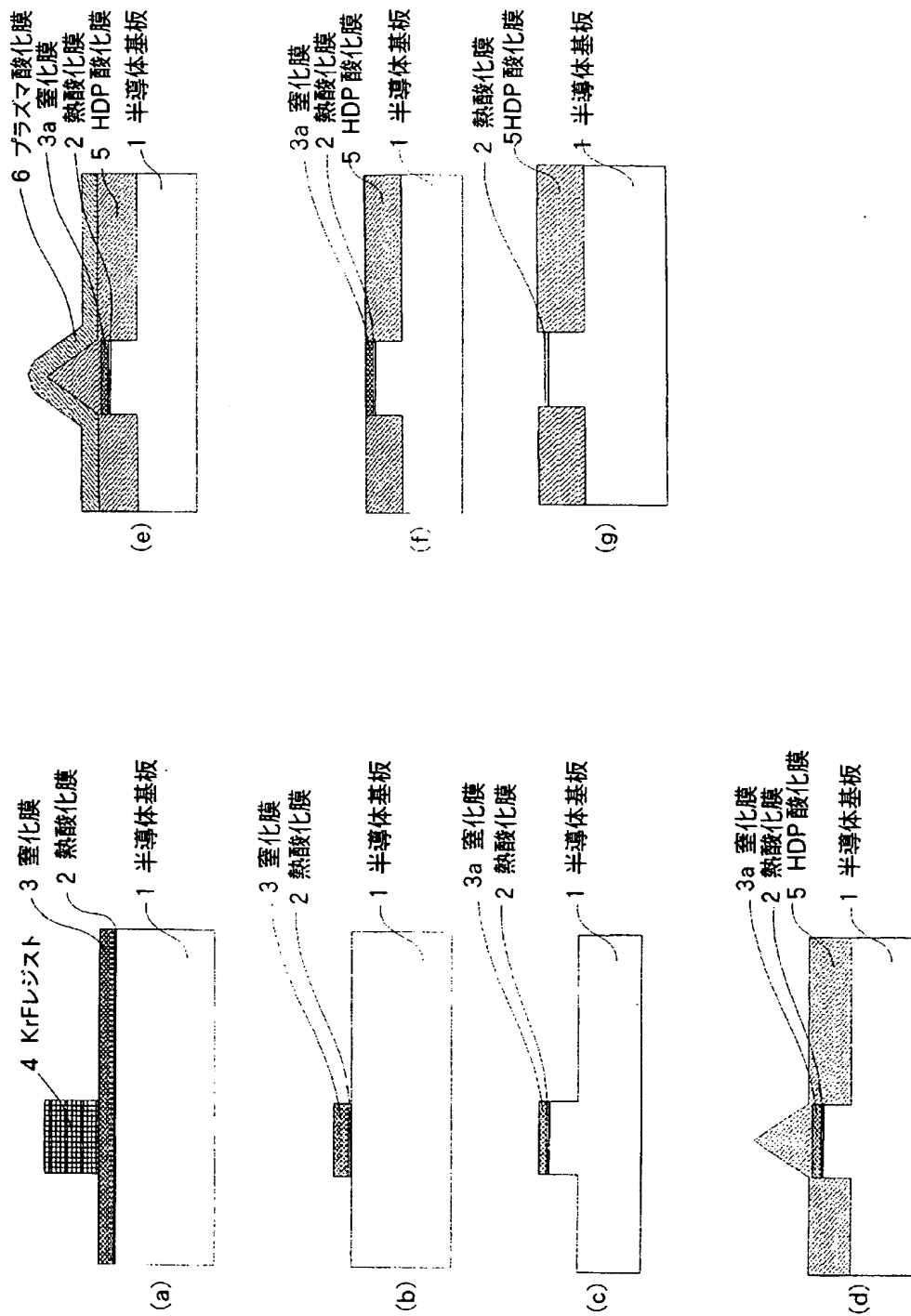
- 1 半導体基板
- 2 熱酸化膜

- 3 窒化膜
- 3 a 窒化膜
- 4 K r F レジスト
- 5 H D P 酸化膜
- 7 半導体基板
- 8 熱酸化膜
- 9 窒化膜
- 1 0 H D P 酸化膜
- 1 1 半導体基板
- 1 2 熱酸化膜
- 1 3 窒化膜
- 1 4 H D P 酸化膜
- 1 5 プラズマ酸化膜
- 1 6 層間絶縁膜
- 1 7 タングステン膜
- 1 7 a タングステン
- 1 8 窒化膜
- 1 8 a 窒化膜
- 1 9 プラズマ酸化膜
- 2 0 K r F レジスト
- 2 1 窒化膜サイドウォール
- 2 2 H D P 酸化膜
- 2 3 プラズマ酸化膜
- 2 5 半導体基板
- 2 6 熱酸化膜
- 2 7 窒化膜
- 2 7 a 窒化膜
- 2 9 H D P 酸化膜

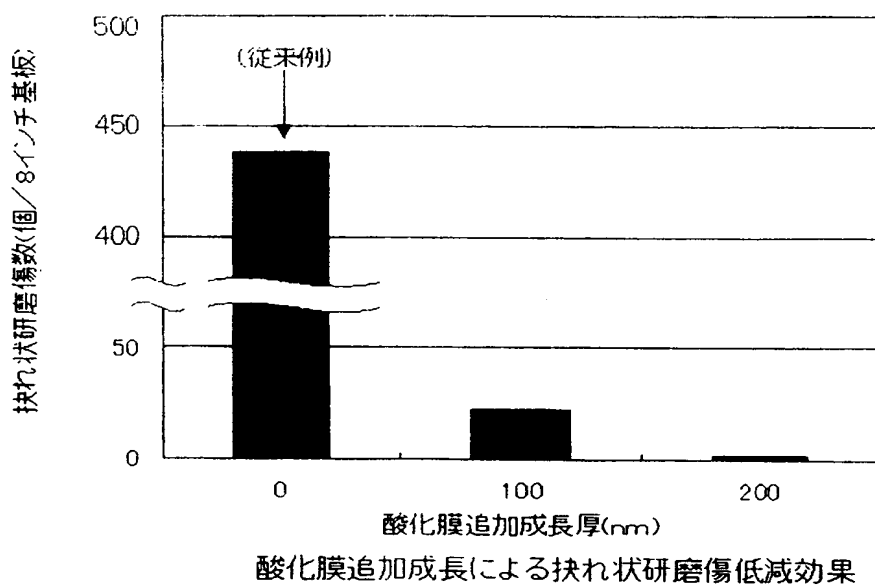
【書類名】

図面

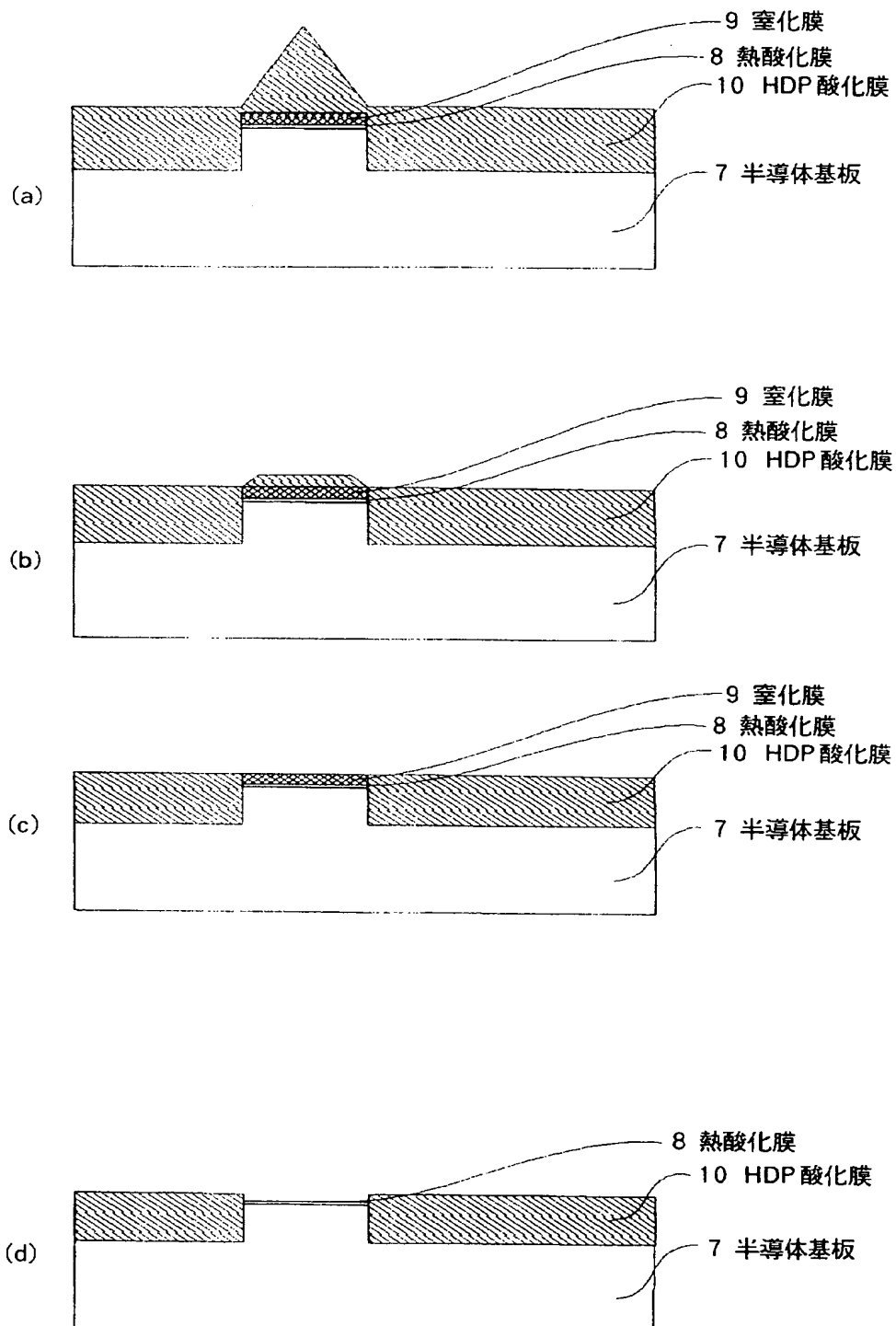
【図 1】



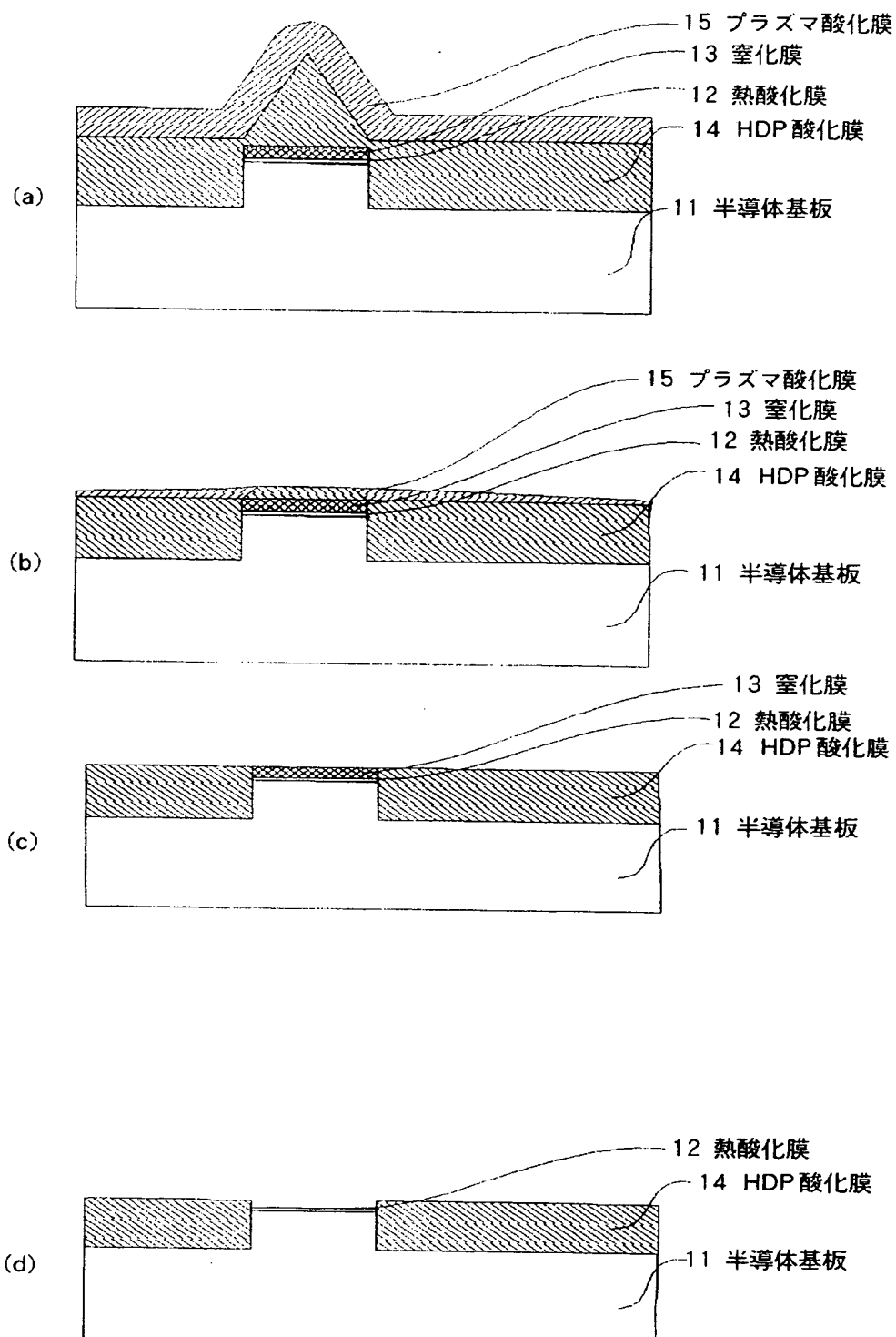
【図 2】



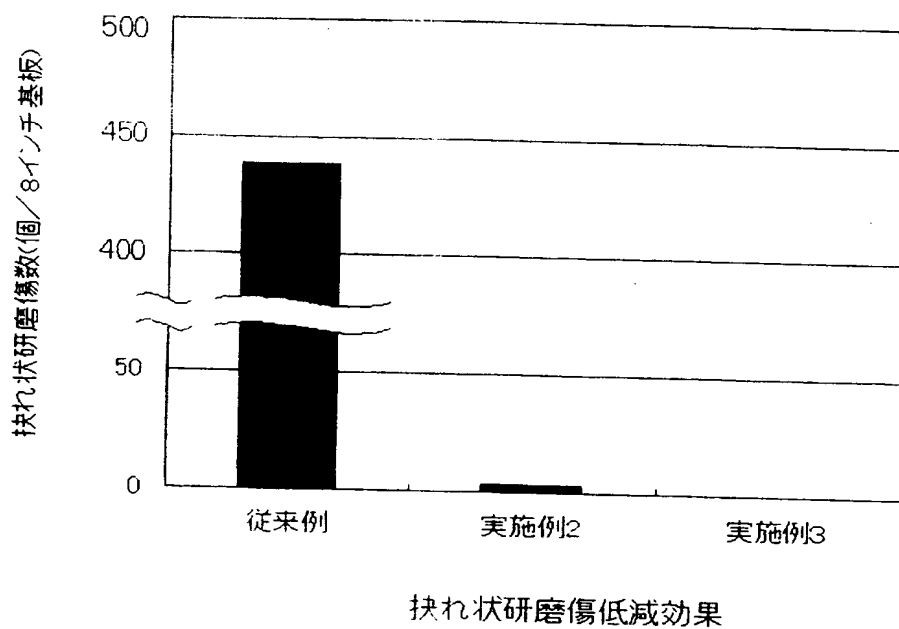
【図 3】



【図 4】

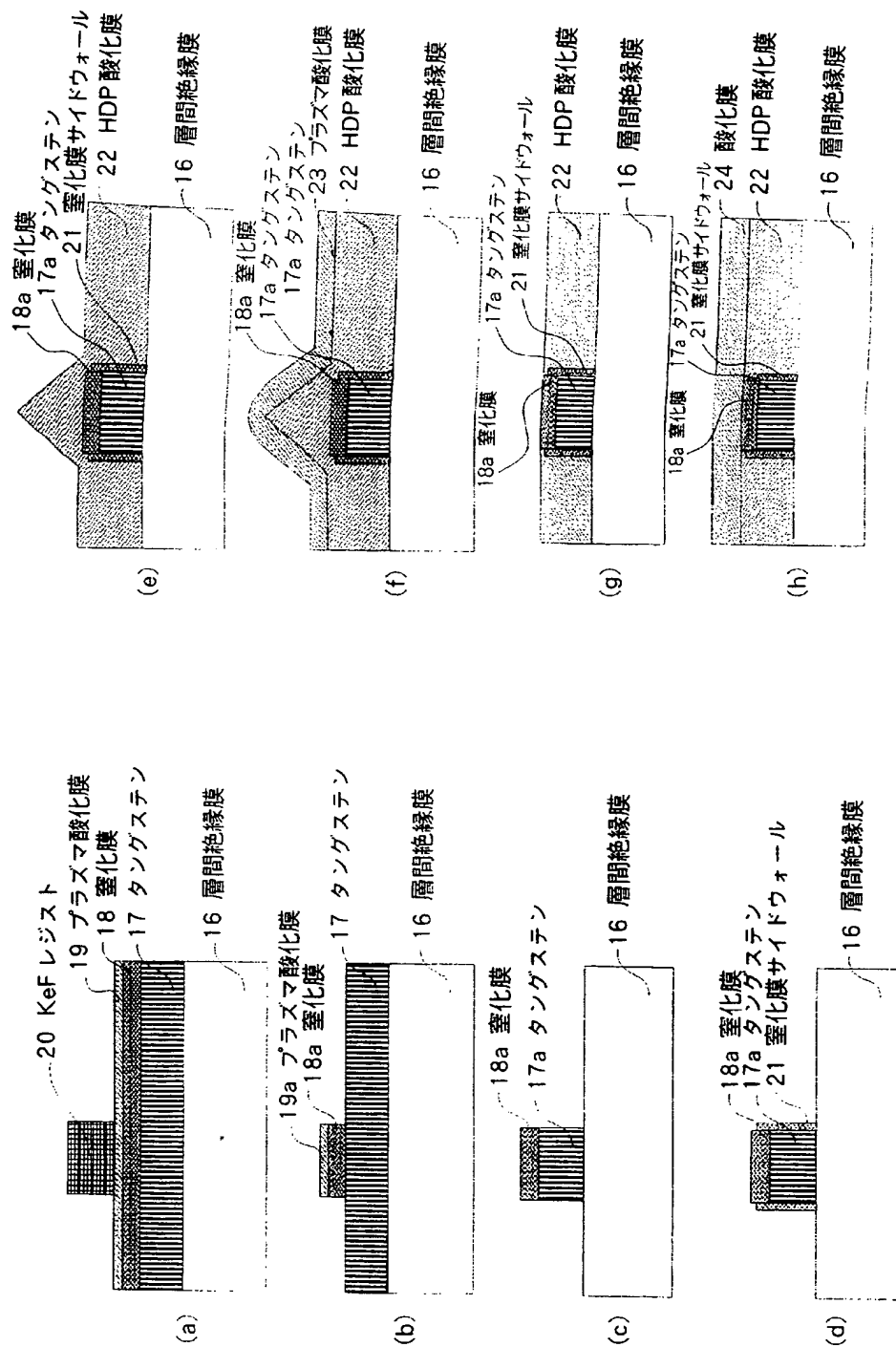


【図 5】

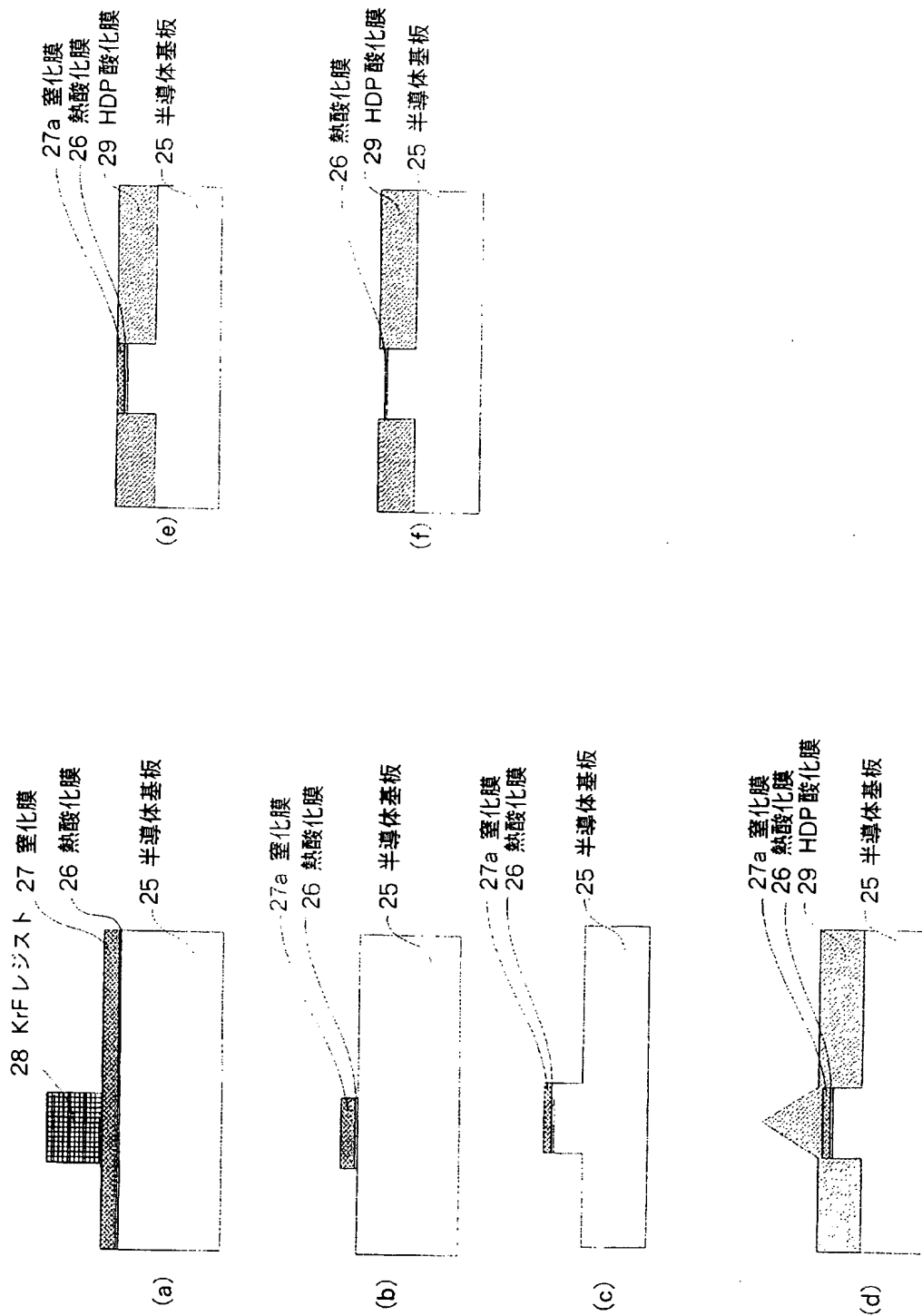




【図6】



【図 7】



【書類名】 要約書

【要約】

【課題】 高密度プラズマ酸化膜は、素子領域上に台形、三角屋根状あるいは、錐状等の突起が形成される。

この突起により、セリアスラリを用いたCMP研磨時に研磨傷が発生するという問題がある。

【構成】 高密度プラズマ酸化膜上に三角柱あるいは錐状等の突起補強する高密度プラズマ酸化膜と研磨レートが同等の膜を形成し、その後セリアスラリを用いて研磨を行う。

また、第1のCMP研磨を砥粒の粒径が小さく凝集により大粒子化しないシリカスラリを用いて行い、その後セリアスラリを用いて第2のCMP研磨を行う。

【選択図】 図1

特願 2003-017833

出 願 人 履 歴 情 報

識別番号

[500174247]

1. 変更年月日

2000年 7月12日

[変更理由]

名称変更

住 所

東京都中央区八重洲2-2-1

氏 名

エルピーダメモリ株式会社